

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-013241

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

H03M 13/23  
G06F 11/10

(21)Application number : 11-114317

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 22.04.1999

(72)Inventor : ABE MASAMI

(30)Priority

Priority number : 10128243 Priority date : 22.04.1998 Priority country : JP

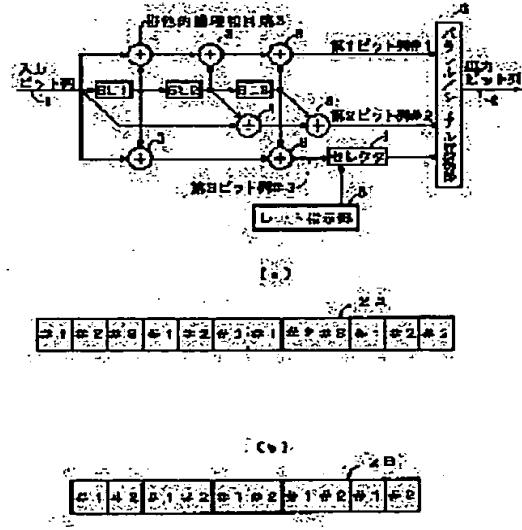
## (54) CONVOLUTIONAL CODER AND VITERBI DECODER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To allow a convolutional coder to use either one of systems different in rate by means of simple changeover by using a common shift register even in the case different in the rate.

**SOLUTION:** In this convolution coder, shift registers SL1-SL3 and exclusive OR circuits 3 generate three kinds of convolutional coding bits #1, #2, #3. In the case of transmitting error correction codes at the rate of 1/3, the bits #1, #2, #3 are serially converted and outputted.

On the other hand, in the case of transmitting error correction codes at the rate of 1/2, a selector 4 is operated to invalidate the 3rd bit #3.



### LEGAL STATUS

[Date of request for examination] 13.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-13241

(P2000-13241A)

(43)公開日 平成12年1月14日(2000.1.14)

(51) Int.Cl.  
H 03 M 13/23  
G 06 F 11/10

識別記号

F I  
H 0 3 M 13/12  
G 0 8 E 11/10

マニフェスト（参考）

(21) 出願番号 特願平11-114317

(22)出願日 平成11年4月22日(1999.4.22)  
(31)優先権主張番号 特願平10-128243  
(32)優先日 平成10年4月22日(1998.4.22)  
(33)優先権主張国 日本(JP)

(71) 出題人 000000295

油電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 阿部 政美

東京都港区虎ノ門1丁目7番12号 沖電気

内会株式株式業工

(74) 代理人 100089093

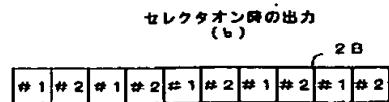
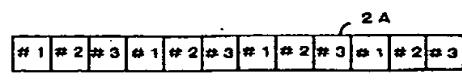
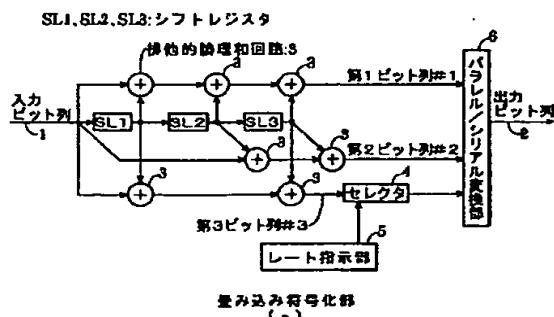
并理士 大西 健治

(54) [発明の名称] 曲み込み符号化装置とピタビ復号化装置

(57)【要約】

【解決手段】 シフトレジスタSL1～SL3と、排他的論理回路3によって、3種類の畳み込み符号化ビット#1、#2、#3を生成する。レートが $1/3$ の誤り訂正符号を送信する場合、ビット#1～#3をシリアル変換して出力する。一方、レートが $1/2$ の誤り訂正符号を送信する場合には、セレクタ4を動作させ、第3ビット#3を無効化する。

**【効果】** レートが異なる場合でも、共通のシフトレジスタを使用し、簡単な切り換えでいずれか一方の方式を使用できる。



## 本発明の組み込み符号化装置

## 【特許請求の範囲】

【請求項1】 N個の生成多項式に基づいてN個の置み込み符号化ビットを発生するための置み込み符号発生部と、  
前記置み込み符号化ビットをシリアルな置み込み符号列に変換するためのパラレル／シリアル変換部と、  
レート1/Nまたはレート1/Mのどちらかの置み込み符号化レートを示すためのレート指示部と（ここでNとMは、M<Nの関係を満たす正の整数である）、  
レート1/Nで置み込み符号化を行うときN個の前記置み込み符号化ビットを供給し、レート1/Mで置み込み符号化を行うときレート1/Nの置み込み符号化とレート1/Mの置み込み符号化と共に共通するM個の生成多項式によって発生されるM個の置み込み符号化ビットを供給し且つレート1/Nの置み込み符号化のために他の(N-M)個の生成多項式によって発生される(N-M)個の置み込み符号化ビットを無効化するためのセレクタとを備えてなることを特徴とする置み込み符号化装置。

【請求項2】 請求項1に記載の置み込み符号化装置において、前記パラレル／シリアル変換部は前記1/Mの置み込み符号化を行うとき前記無効化された(N-M)個の置み込み符号化ビットを出力しないようにすることを特徴とする置み込み符号化装置。

【請求項3】 請求項1に記載の置み込み符号化装置において、前記レート指示部は、前記置み込み符号化ビットを持つフレーム毎に置み込み符号化レートを指示することを特徴とする置み込み符号化装置。

【請求項4】 請求項1に記載の置み込み符号化装置において、前記レート指示部は、前記置み込み符号化ビットを持つバーストフレーム毎に置み込み符号化レートを指示することを特徴とする置み込み符号化装置。

【請求項5】 請求項1に記載の置み込み符号化装置において、前記レート指示部は、呼設定毎に置み込み符号化レートを指示することを特徴とする置み込み符号化装置。

【請求項6】 置み込み符号化部により入力されるレート情報を持つ受信信号から1/N (Nは正の整数)または1/M (Mは、M<Nである正の整数)の置み込み符号化レートを検出し、前記検出された置み込み符号化レートに基づく指令を供給するためのレート指示部と、前記指令が1/Nの置み込み符号レートであるとき、前記レート1/Nの置み込み符号化のためN個の生成多項式によって発生されるN個の置み込み符号化ビットをビタビ復号化回路へ供給し、前記指令が1/Mの置み込み符号レートであるとき、前記1/Nの置み込み符号と前記1/Mの置み込み符号とで共通するM個の生成多項式によって発生されるM個の置み込み符号化ビットを前記ビタビ復号化回路へ供給し且つ残りの(N-M)個の置み込み符号化ビットを無効化データに置き換えるための

データ変換部とを備えてなることを特徴とするビタビ復号化装置。

【請求項7】 請求項6に記載のビタビ復号化装置において、前記データ変換部は、

置み込み符号化ビットを「1」から「0」へ変換し且つ「0」から「1」へ変換するための置み込み符号化ビット変換部と、

前記レート指示部からの指令に基づいて前記無効化データを「0」に変換するためのゼロ挿入回路とを備えてなることを特徴とするビタビ復号化装置。

【請求項8】 請求項7に記載のビタビ復号化装置において、前記ゼロ挿入回路は、前記置み込み符号化部が前記無効化データを送信しない場合に前記無効化データのために「0」を挿入することを特徴とするビタビ復号化装置。

【請求項9】 請求項6に記載のビタビ復号化装置において、前記レート指示部は、前記置み込み符号化ビットを持つフレーム毎に前記置み込み符号化レートを検出することを特徴とするビタビ復号化装置。

【請求項10】 請求項6に記載のビタビ復号化装置において、前記レート指示部は、前記置み込み符号化ビットを持つバーストフレーム毎に前記置み込み符号化レートを検出することを特徴とするビタビ復号化装置。

【請求項11】 請求項6に記載のビタビ復号化装置において、前記レート指示部は、呼設定毎に前記置み込み符号化レートを検出することを特徴とするビタビ復号化装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、移動体通信の分野に適する置み込み符号化装置とビタビ復号化装置に関するものである。

## 【0002】

【従来の技術】自動車電話、携帯電話等の、移動体用の無線通信システムは、時代の要請に従って急激な発展をとげている。こうした無線通信においては、信号が電波によって送受信されることから、雑音等による誤りを訂正し、入力時の信号を忠実に再生する誤り訂正技術が不可欠となっている。この誤り訂正技術としては、従来、置み込み符号化方式や、BCH (Bose-Chaudhuri-Hocquenghem) 方式、RS (Reed Solomon) 方式等が良く知られている。

## 【0003】

【発明が解決しようとする課題】ところで、上記のような従来の技術には次のような解決すべき課題があった。

【0004】置み込み符号化方式は、復号時に前後の信号を予測できるよう、入力信号をそれ以前に入力した信号と関連づけて出力する符号化方式である。関連づけを式で表したものを作成多項式と呼ぶ。1ビット入力に対し、作成多項式を2種類使えば、レート1/2の符号

化、3種類使えばレート1/3の符号化と呼ぶ。レート1/2の場合、出力情報量は入力情報量の2倍、レート1/3の場合は3倍となり、情報量は増えるが、情報量が増えるほど、誤り訂正能力は高くなる。移動通信の分野では、無線伝搬環境やサービス種別により、情報量を可変して、適切な誤り品質を提供する必要がある。

【0005】図4(a)と4(b)は、従来の畳み込み符号化装置とビタビ復号化装置とを示している。図4(a)において、従来の畳み込み符号化装置は、セレクタ23、レート1/2の畳み込み符号化装置24、レート1/3の畳み込み符号化装置25そしてセレクタ26を含む。従来の畳み込み符号化装置は、畳み込み符号化レート( $R = 1/2$ または $R = 1/3$ )に応答して、レート1/2の畳み込み符号化装置24またはレート1/3の畳み込み符号化装置25のどちらかを選択する。図4(b)において、ビタビ復号化装置は、セレクタ33、レート1/2のビタビ復号化装置34、レート1/3のビタビ復号化装置35そしてセレクタ36を含む。ビタビ復号化装置は、畳み込み符号化レートに応答して、レート1/2のビタビ復号化装置34またはレート1/3のビタビ復号化装置35のどちらかを選択する。従って、2つの畳み込み符号化装置と2つのビタビ復号化装置を持っている従来の無線トランシーバは、サイズが大きく複雑になる。

#### 【0006】

【課題を解決するための手段】この発明は前記課題を解決するために、次の構成を採用する。

【0007】<構成1>N個の生成多項式に基づいてN個の畳み込み符号化ビットを発生するための畳み込み符号発生部と、前記畳み込み符号化ビットをシリアルな畳み込み符号列に変換するためのパラレル/シリアル変換部と、レート1/Nまたはレート1/Mのどちらかの畳み込み符号化レートを示すためのレート指示部と（ここでNとMは、 $M < N$ の関係を満たす正の整数である）、レート1/Nで畳み込み符号化を行うときN個の前記畳み込み符号化ビットを供給し、レート1/Mで畳み込み符号化を行うときレート1/Nの畳み込み符号化とレート1/Mの畳み込み符号化とに共通するM個の生成多項式によって発生されるM個の畳み込み符号化ビットを供給し且つレート1/Nの畳み込み符号化のために他の( $N - M$ )個の生成多項式によって発生される( $N - M$ )個の畳み込み符号化ビットを無効化するためのセレクタとを備えてなることを特徴とする畳み込み符号化装置。

【0008】<構成2>構成1に記載の畳み込み符号化装置において、前記パラレル/シリアル変換部は前記1/Mの畳み込み符号化を行うとき前記無効化された( $N - M$ )個の畳み込み符号化ビットを出力しないようにすることを特徴とする畳み込み符号化装置。

#### 【0009】<構成3>構成1に記載の畳み込み符号化

装置において、前記レート指示部は、前記畳み込み符号化ビットを持つフレーム毎に畳み込み符号化レートを指示することを特徴とする畳み込み符号化装置。

【0010】<構成4>構成1に記載の畳み込み符号化装置において、前記レート指示部は、前記畳み込み符号化ビットを持つバーストフレーム毎に畳み込み符号化レートを指示することを特徴とする畳み込み符号化装置。

【0011】<構成5>構成1に記載の畳み込み符号化装置において、前記レート指示部は、呼設定毎に畳み込み符号化レートを指示することを特徴とする畳み込み符号化装置。

【0012】<構成6>畳み込み符号化部により入力されるレート情報を持つ受信信号から $1/N$ (Nは正の整数)または $1/M$ (Mは、 $M < N$ である正の整数)の畳み込み符号化レートを検出し、前記検出された畳み込み符号化レートに基づく指令を供給するためのレート指示部と、前記指令が $1/N$ の畳み込み符号レートであるとき、前記レート $1/N$ の畳み込み符号化のためN個の生成多項式によって発生されるN個の畳み込み符号化ビットをビタビ復号化回路へ供給し、前記指令が $1/M$ の畳み込み符号レートであるとき、前記 $1/N$ の畳み込み符号と前記 $1/M$ の畳み込み符号とで共通するM個の生成多項式によって発生されるM個の畳み込み符号化ビットを前記ビタビ復号化回路へ供給し且つ残りの( $N - M$ )個の畳み込み符号化ビットを無効化データに置き換えるためのデータ変換部とを備えてなることを特徴とするビタビ復号化装置。

【0013】<構成7>構成6に記載のビタビ復号化装置において、前記データ変換部は、畳み込み符号化ビットを「1」から「0」へ変換し且つ「0」から「1」へ変換するための畳み込み符号化ビット変換部と、前記レート指示部からの指令に基づいて前記無効化データを「0」に変換するためのゼロ挿入回路とを備えてなることを特徴とするビタビ復号化装置。

【0014】<構成8>構成7に記載のビタビ復号化装置において、前記ゼロ挿入回路は、前記畳み込み符号化部が前記無効化データを送信しない場合に前記無効化データのために「0」を挿入することを特徴とするビタビ復号化装置。

【0015】<構成9>構成6に記載のビタビ復号化装置において、前記レート指示部は、前記畳み込み符号化ビットを持つフレーム毎に前記畳み込み符号化レートを検出することを特徴とするビタビ復号化装置。

【0016】<構成10>構成6に記載のビタビ復号化装置において、前記レート指示部は、前記畳み込み符号化ビットを持つバーストフレーム毎に前記畳み込み符号化レートを検出することを特徴とするビタビ復号化装置。

【0017】<構成11>構成6に記載のビタビ復号化装置において、前記レート指示部は、呼設定毎に前記畳

み込み符号化レートを検出することを特徴とするビタビット符号化装置。

#### 【0018】

【発明の実施の形態】以下、本発明の実施の形態を具体例を用いて説明する。

【0019】(具体例1) 図1は、本発明の畳み込み符号化装置の具体例を示す説明図である。

【0020】図1の(a)は畳み込み符号化部のブロック図、(b)はレート1/3の畳み込み符号化を行うときの畳み込み符号化部の出力データ、(c)はレート1/2の畳み込み符号化を行うときの畳み込み符号化部の出力データを示す。

【0021】図1(a)に示される畳み込み符号化部は、7個の排他的論理和回路3、3個のシフトレジスタSL1、SL2およびSL3、セレクタ4、レート指示部5、そしてパラレル/シリアル変換部6を含む。畳み込み符号化部は、入力ビット列1を、第1ビット列C1<sub>i</sub>、第2ビット列C2<sub>i</sub>と第3ビット列C3<sub>i</sub>からなる出力ビット列2へ畳み込み符号化する。第1のビット列C1<sub>i</sub>は、以下の第1の生成多項式を演算することによって得られる。

$$C1_i = C_n \quad (+) \quad C_{n-1} \quad (+) \quad C_{n-2} \quad (+) \quad C_{n-3}$$

ここで、C<sub>n</sub>は入力ビット、C<sub>n-1</sub>はシフトレジスタSL1により出力される第1先行ビット、C<sub>n-2</sub>はシフトレジスタSL2により出力される第2先行ビット、C<sub>n-3</sub>はシフトレジスタSL3より出力される第3先行ビット、(+)は排他的論理和演算を示す。

【0022】同様に、第2のビット列C2<sub>i</sub>は、以下の第2の生成多項式を演算することによって得られる。

$$C2_i = C_n \quad (+) \quad C_{n-2} \quad (+) \quad C_{n-3}$$

第3のビット列C3<sub>i</sub>は、以下の第3の生成多項式を演算することによって得られる。

$$C3_i = C_n \quad (+) \quad C_{n-1} \quad (+) \quad C_{n-3}$$

パラレル/シリアル変換部6は、第1ビット列C1<sub>i</sub>、第2ビット列C2<sub>i</sub>と第3ビット列C3<sub>i</sub>を含むパラレルデータ列をシリアル出力ビット列2に変換する。このようにして、シリアルに畳み込み符号を送ることができる。ここで、第3ビット列C3<sub>i</sub>は、レート指示部5によって出力されるコマンド信号によって制御されるセレクタ4を経由し、パラレル/シリアル変換部6へ出力される。セレクタ4は、コマンド信号がレート1/3の畳み込み符号化を示すとき、第3ビット列C3<sub>i</sub>をパラレル/シリアル変換部6へ出力する。一方、セレクタ4は、コマンド信号がレート1/2の畳み込み符号化を示すとき、第3ビット列C3<sub>i</sub>を無効にする。例えば、セレクタ4は、コマンド信号がレート1/2の畳み込み符号化を示すならば、パラレル/シリアル変換部6に第3ビット列C3<sub>i</sub>を出力しない。このようにして、パラレル/シリアル変換部6は、セレクタ4が第3ビット列C3<sub>i</sub>を通過させると、図1(b)に示されるように出力ビット列2Aを出力

する。パラレル/シリアル変換部6は、同様に、セレクタ4が第3ビット列C3<sub>i</sub>を無効にするとき、図1(c)に示される出力ビット列2Bを出力する。

【0025】図5は、図1(a)のレート1/3の畳み込み符号化部のためのトレリス図を示す。図5のツリー構造における各々のノードは、a=000、b=100、c=010、d=110、e=001、f=101、g=011、h=111のように、シフトレジスタSL1、SL2とSL3において、8つの取り得る状態に対応して表示されている。ツリー構造の第1の分岐は、時間T1で、2倍になり一対のノードを生成する。第2の分岐は、時間T2で、a、b、cとdで表示される4つのノードとなる。第3の分岐は、時間T3でa、b、c、d、e、f、gとhで表示される8つのノードとなる。第4の分岐の後、時間T4で、合計16のノードがある。

【0026】同じ状態の各々のノードから発する全ての分岐は、図5の分岐に示されるように同一の畳み込みビット列を発生する。例えば、各々のノードは、(a)時間T1～T5では、畳み込みビット列000をもつ分岐と、畳み込みビット列111をもつ分岐がある。他の例として、各々のノードは、(b)時間T2～T5では、畳み込みビット列101をもつ分岐と、畳み込みビット列010をもつ分岐がある。この理由は、前記した3つの生成多項式から明らかである。

【0027】図5において、時間T(k)のノードから時間T(k+1)の他のノードへの実線で示される分岐は、入力データ「0」が畳み込み符号化部へ入力されることを示している。時間T(k)のノードから時間T(k+1)の他のノードへの破線で示される分岐は、入力データ「1」が畳み込み符号化部へ入力されることを示している。

【0028】以下の例は、レート1/3の畳み込み符号化を行うとき、図5におけるトレリス図を横切ることを示している。もし、時間T1で、状態(a)で、入力データ「1」が畳み込み符号化部へ入力されるなら、符号化部は、生成多項式に基づいて第1、第2及び第3のビット列C1<sub>i</sub>、C2<sub>i</sub>、C3<sub>i</sub>に対応して畳み込み符号化部へ畳み込み符号「111」を出力する。次に、もし時間T2で、状態(b)で、入力データ「1」が入力されるなら、符号化部は、畳み込み符号「010」を出力する。同様に、もし入力データ「0」、「1」、「1」が連続して入力されるならば、符号化部は、畳み込み符号、「011」、「110」、「101」を順に出力する。

【0029】以下の例は、1/2の畳み込み符号化を行うとき、図5におけるトレリス図を横切ることを示している。もし、時間T1で、状態(a)で、入力データ「1」が畳み込み符号化部へ入力されるなら、第3のビット列C3<sub>i</sub>がセレクタ4により無効化されるので、符号化部は、第1および第2のビット列C1<sub>i</sub>、C2<sub>i</sub>に対応して畳み込み符号化部へ畳み込み符号「11」を出力する。次に、もし時間T2で、状態(b)で、入力データ「1」

が入力されるなら、符号化部は、畳み込み符号「10」を出力する。同様に、もし入力データ「0」、「1」、「1」が連続して入力されるならば、符号化部は、畳み込み符号、「01」、「11」、「10」を順に出力する。

【0030】この具体例において、セレクタ4は、装置がレート指示部5により出力されるコマンド信号に基づいて、第3のビット列C3<sub>i</sub>を通過させたり無効化せたりすることができるなら、そのような他の装置へ容易に置き換えることができる。

【0031】図2はビタビ復号化装置を説明するための図であり、以下、ビタビ復号化装置の具体例につき図面を用いて説明する。このビタビ復号化装置は、データ変換部12、ゼロ挿入回路13、分岐メトリック演算部14、バスメトリック演算部15、バス評価部16そしてレートレート指示部18を備えている。ビタビ復号化装置は、一般的に、受信ビット列を復号化し、復号化ビット列を出力する。図2に示されるように、受信ビット列は、入力端子11を介して、データ変換部12へ供給される。データ変換部12は、受信ビット「0」は「1」に変換され、「1」は「0」に変換されるというよう、受信ビット列（第1、第2及び第3のビット列C1<sub>i</sub>、C2<sub>i</sub>、C3<sub>i</sub>）を変換する。

【0032】ゼロ挿入回路13は、レート指示部がレート1/3の畳み込み符号化を示すとき、分岐メトリック演算部14へ、データ変換部12により出力される変換されたデータ列を変換する。同様に、ゼロ挿入回路13は、レート指示部がレート1/2の畳み込み符号化を示すとき、図1(b)に示されるように、第3ビット列C3<sub>i</sub>の各部分に「0」を挿入する。

【0033】分岐メトリック演算部14は、以下の式を用いることにより、各分岐メトリックBMを演算する。

#### 【0034】

$$BM = C1_i * BM(N,1) + C2_i * BM(N,2) + C3_i * BM(N,3)$$

分岐メトリック演算部14は、図6の各分岐に示されるように、受信ビット列(C1<sub>i</sub>、C2<sub>i</sub>、C3<sub>i</sub>)と符号ワード(BM(N,1)、BM(N,2)、BM(N,3))との相関を計算する。各々の符号ワードBM(N,1)、BM(N,2)、BM(N,3)は、各々の状態遷移の結果として符号化部からの出力と推定される符号シンボルである。

【0035】ゼロ挿入回路13がC3<sub>i</sub>の各部分に「0」を挿入する場合のため（即ち、レート1/2の畳み込み符号化のため）、分岐メトリック演算部14は、レート1/3の畳み込み符号化のためと同様に、同じ式を用いて受信ビット列(C1<sub>i</sub>、C2<sub>i</sub>、C3<sub>i</sub>)と符号ワード(BM(N,1)、BM(N,2)、BM(N,3))との相関を計算する。従って、レート1/2の畳み込み符号化のための分岐メトリックを計算するとき、分岐メトリック演算部14によるその計算は、ゼロ挿入回路13が各C3<sub>i</sub>の部分に「0」を挿入するので、以下の式を計算するのと等価となる。

【0036】
$$BM = C1_i * BM(N,1) + C2_i * BM(N,2)$$

分岐メトリック演算部14によって計算された分岐メトリックは、バスメトリック演算部15へ供給される。バスメトリック演算部15は、接続された分岐の分岐メトリックを合計することによって、各々のバスメトリックを計算する。バス推定部16は、最も大きなバスメトリックをもつバスとして最適バスを選択する。

【0037】図6は、この具体例のレート1/3のビタビ復号化のためのトレリス図を示す。図6のツリー構造における各ノードは、a=000、b=100、c=010、d=110、e=001、f=101、g=011、h=111のように、シフトレジスタSL1、SL2およびSL3において取り得る8つの状態の対応して表示されている。例えば、図6の下部において、各々の符号ワード列と分岐メトリックは、「111」、「010」、「011」、「110」、「101」の受信ビット列に基づいた分岐を示している。この受信ビット列に基づいて、分岐メトリック演算部14は、上記の式を用いて、各々の分岐メトリックを計算する。もし、受信ビット列が「111」であるならば、状態aから状態aへの分岐メトリックは、符号ワード列「000」から「-3」として計算され、状態aから状態bへの分岐メトリックは、符号ワード列「111」から「3」として計算される。同様にして、各々の分岐メトリックは、図6の分岐上に示されている。バスメトリック演算部15は、バスメトリックを決定するため、すべてのバスに分岐メトリックを加える。バス推定部16は、最も大きいバスメトリックを持つバスに基づいて最適バスを決定する。

【0038】図3(a)、3(b)と3(c)は、畳み込み符号のレート1/2と1/3との間でのレート変更のタイミングを説明するための図である。例えば、伝搬する信号の誤り特性が極めて厳しい環境においては、レートを1/3に固定して移動通信を行うことが好ましい。また、誤り特性が十分良好な環境では、レートを1/2に固定すればよい。いずれの場合でも、図1に示した畳み込み符号化装置や図2に示したビタビ復号化装置のレート指示部5や18を、該当する状態に初期設定しておけばよい。

【0039】しかしながら、例えば移動局が都会から郊外に移動して使用されるような場合には、基地局が自動的にレートを切り換えることができるといい。このようなレートの切り換えは、送信側から受信側のレート指示部18に所定の制御信号を送出することにより実現する。その送出タイミングは、例えばこの図3(a)で示されるように、フレーム毎に畳み込み符号化のレートを変更することが可能である。この場合、畳み込み符号化のレートを示す情報ビットは、各々のフレームのヘッド部分に供給される。さらに、図3(b)で示されるように、呼毎にレートを設定し、呼が切断されると、次の呼設定の際に新たなレートを決定するという方法も可能であ

る。それは、呼設定を開始するとき、畳み込み符号化のレートは、決定される。

【0040】また、図3(c)で示されるように、各々のバーストフレーム、即ち連続した音声の切れ目が生じた部分毎に、レート変更が可能である。

【0041】また、もし畳み込み符号化のレートを示す情報とタイミングが復号化装置へ送信されるなら、その畳み込み符号化のレートは、いつでも変えることができる。

【0042】この発明の具体例は、 $1/2$ と $1/3$ のレートの畳み込み符号化を例に説明したが、発明は、MとNが正の整数で $M < N$ を満たすとき、 $1/N$ と $1/M$ のレートの畳み込み符号化に適用することができる。また、この発明の具体例は、符号化装置と復号化装置において1ビットシフトする例を用いて説明したが、この発明は、1ビットより大きいビットシフトする場合にも適用できる。

【0043】当業者であれば理解できるように、この発明はハードウェア、ソフトウェア、またはハードウェアとソフトウェアの組み合わせにより実施することができる。

【0044】以上、好ましい具体例を用いて詳細に説明したが、当業者であれば特許請求の範囲内において、その具体例にとらわれず、容易にその具体例を置換、または変更することができるであろう。

#### 【0045】

【発明の効果】以上、詳細に説明したように、この発明の符号化装置によれば、両レートで共通の畳み込み符号

化ビットをシリアルに変換すると共に、残りの畳み込み符号化ビットを無効化データに置き換えるようにしたので、排他的論理回路やシフトレジスタの大部分を両レートで共通化して、ハードウェアを簡略化することができる。

【0046】また、同様にこの発明のビタビ復号化装置によれば、従来の装置に比べてハードウェア量を小さくできる。即ち、この発明のビタビ復号化装置では、レート $1/3$ 用ビタビ復号化部1セット分のハードウェアを使用して、2種のレートの信号を処理することが可能になる。

#### 【図面の簡単な説明】

【図1】この発明の具体例を説明するための畳み込み符号化部を示すブロック図とその出力のデータ構造図、

【図2】この発明の具体例を説明するためのビタビ復号化装置を示すブロック図、

【図3】この発明のレート変更タイミングの説明図、

【図4】従来の畳み込み符号化装置とビタビ復号化装置とを説明するためのブロック図、

【図5】図1(a)に示した畳み込み符号化部のレート $1/3$ の畳み込み符号化を説明するためのトレリス図、

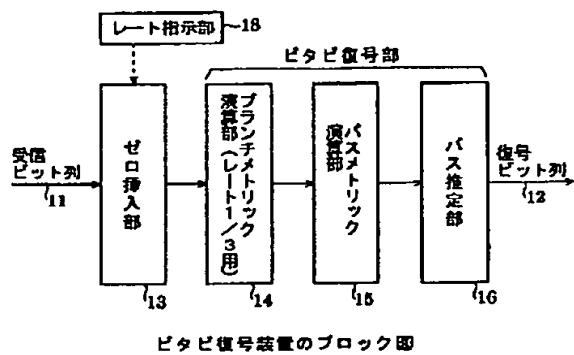
【図6】図2に示したビタビ復号化装置のレート $1/3$ のビタビ復号化を説明するためのトレリス図である。

#### 【符号の説明】

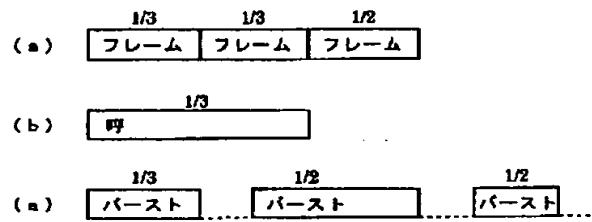
1 入力ビット列、 2 出力ビット列、 3 排他的論理回路

4 セレクタ、 5 レート指示部、 SL1~SL3  
シフトレジスタ

【図2】

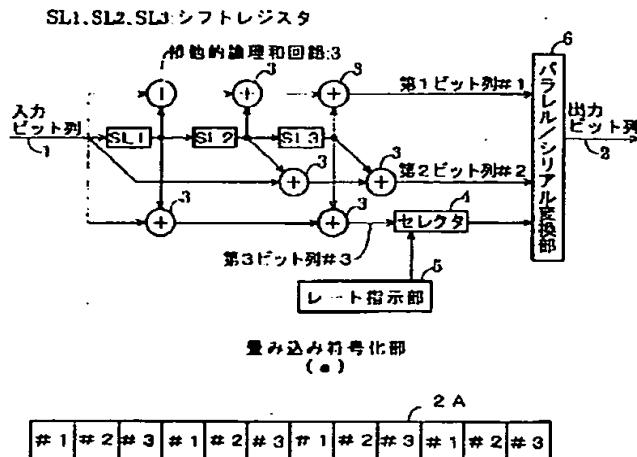


【図3】

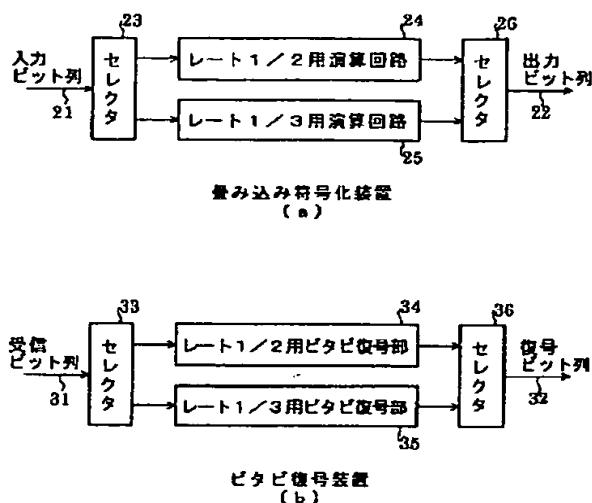


レート変更タイミングの説明図

【図1】



【図4】

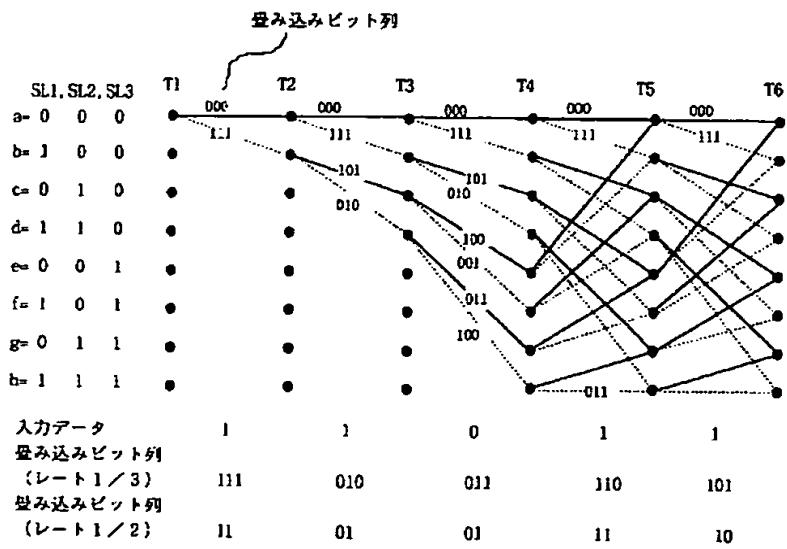


比較例のブロック図

セレクタオフ時の出力  
(c)

本発明の量込み符号化装置

【図5】



【図6】

